Міністерство освіти і науки України

Національний технічний університет України

«Київський політехнічний інститут»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

ЛАБОРАТОРНА РОБОТА № 1

З дисципліни «Архітектура комп’ютерів-1»

На тему «Синтез арифметико-логічних пристроїв

з розподіленою логікою»

ВИКОНАВ:

студент 2 курсу ФІОТ

групи ІО-41

Логвинчук А. І.

Залікова - 4120

Варіант – 0011000

ПЕРЕВІРИВ:

доц. Ткаченко В. В

Київ – 2016

**Завдання**

Розробити арифметико-логічний пристрій з розподіленою логікою для виконання множення цілих беззнакових чисел **четвертим** способом.

JK-тригери

Автомат Мілі.

**Розробка операційної схеми**

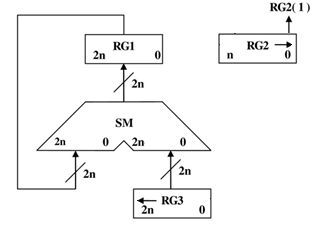


рис 1.1. Операційна схема пристрою множення четвертим способом

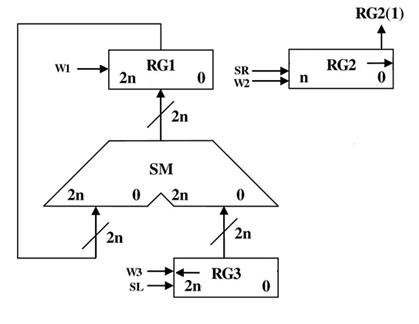
**Розробка функціональної схеми із зазначенням управляючих сигналів**

рис 1.2. Функціональна схема пристрою множення четвертим способом

W1 – запис n-частинної суми до регістру результату.

W2 – запис множника до регістру RG.2.

W3 – запис множеного до регістру RG.3.

SL – зсув машинного слова у регістрі RG.3 вліво.

SR – зсув машинного слова у регістрі RG.2 вправо.

**Змістовний структурний мікроалгоритм:**



рис. 1.3 Змістовний структурний мікроалгоритм

*Таблиця 1.1.* Логічне моделювання

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| №  такту | RG.2 |  | RG.3 | RG.1 | Мікрооперація |
| П. стан | 000 | 0 | 0000000 | 00000000 |  |
| 1 | 010 | 1 | 0000000 | 00000011 | RG.1:=0, RG.2:=Y, RG.3:=X |
| 2 | 010  001 | 1  0 | 00000000  +00000011 | 00000011  00000110 | RG.1:=RG.1+RG.3, RG.3:=l[RG.3].0, RG.2:=0.r[RG.2] |
| 3 | 001  000 | 0  1 | 000000011 | 00000110  00001100 | RG.3:=l[RG.3].0, RG.2:=0.r[RG.2] |
| 4 | 000  000 | 1  0 | 00000011  +00001100 | 00001100  00011000 | RG.1:=RG.1+RG.3, RG.3:=l[RG.3].0, RG.2:=0.r[RG.2] |
| Рез. |  |  | 00001111 |  |  |

*Таблиця 1.2.* Кодування

управляючих сигналів

|  |  |
| --- | --- |
| Управляючий сигнал | Код |
| W2 | Y1 |
| W3 |
| W1 | Y2 |
| SR | Y3 |
| SL |

*Таблиця 1.3* Кодування

логічних умов

|  |  |
| --- | --- |
| Логіна умова | Код |
| RG.2 = 0 | X1 |
| RG.2(1) | X2 |

**Закодований структурний мікроалгоритм**



рис. 1.4 Закодований структурний мікроалгоритм

**Діаграма станів управляючого пристрою**

**(граф абстрактного автомата)**



рис. 1.5. Граф автомата

**Структурний синтез управляючого пристрою**

*Таблиця 1.3.* Структурна таблиця автомата

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Q2tQ1t | Q2t+1Q2t+1 | X1 X2 | Y1 Y2 Y3 | J2K2 | J2K2 |
| 00 | 01 | - - | 0 0 0 | 0 - | 1 0 |
| 01 | 10 | - - | 1 0 0 | 1 0 | 0 1 |
| 10 | 00 | 1 - | 0 0 0 | 0 1 | 0 - |
| 10 | 11 | 0 1 | 0 1 0 | - 0 | 1 0 |
| 10 | 11 | 0 0 | 0 0 0 | - 0 | 1 0 |
| 11 | 10 | - - | 0 0 1 | - 0 | 0 1 |

**Функції управляючих сигналів та функції збудження тригерів**

Після мінімізації методом діаграм Вейча отримаємо функції збудження тригерів. Функції виходів визначені кожна на одному наборі, тому мінімізації не потребують.

Y1=Q2Q1

Y2=Q2Q1X1X2

Y3=Q2Q1

J2=Q1

K2=X1Q1

J1=Q2Q1vQ1X1

K1=Q1

**Висновок**

Особливість АЛП з розподіленою полягає у тому, що які реалізують мікрооперацій розподілені між регістрами та закріплена за ними, тобто кожен регістр використовує власну логіку для виконання мікрооперацій.